

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-229162

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl.⁶

H 0 1 L 27/00

識別記号

3 0 1

F I

H 0 1 L 27/00

3 0 1 W

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平9-30234
(22) 出願日 平成9年(1997) 2月14日

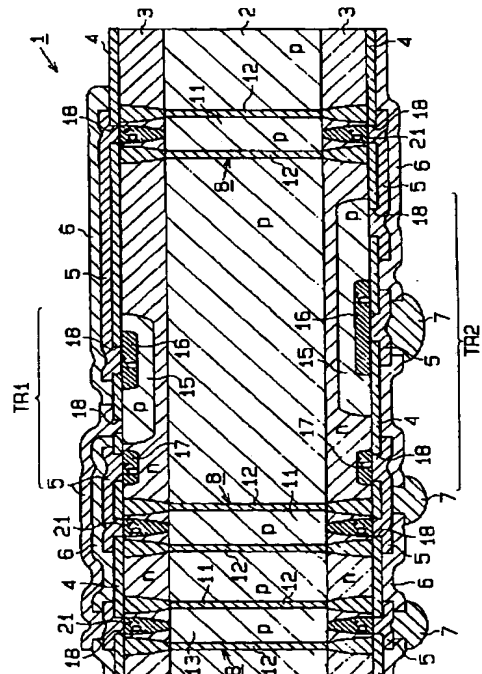
(71) 出願人 000003551
株式会社東海理化電機製作所
愛知県丹羽郡大口町大字豊田字野田1番地
(72) 発明者 岩田 仁
愛知県丹羽郡大口町大字豊田字野田1番地
株式会社東海理化電機製作所内
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 両面回路基板及びその製造方法

(57) 【要約】

【課題】 低コスト化及び高性能化を妨げることなく集積度の高い両面回路基板を提供すること。

【解決手段】 この両面回路基板1は、単結晶シリコン基板2の表裏両側に形成された能動素子TR1、TR2同士を貫通電極8により電気的に接続したものである。貫通電極8は、単結晶シリコン基板2の所定領域において基板厚さ方向に沿って形成された導電層11と、その導電層11を周囲の導電性領域からアイソレートする絶縁層12とからなる。



【特許請求の範囲】

【請求項1】単結晶シリコン基板の表裏両側に形成された能動素子同士を貫通電極により電気的に接続したことを特徴とする両面回路基板。

【請求項2】前記貫通電極は、前記単結晶シリコン基板の所定領域において基板厚さ方向に沿って形成された導電層と、その導電層を周囲の導電性領域からアイソレートする絶縁層とからなることを特徴とする請求項1に記載の両面回路基板。

【請求項3】前記導電層は前記絶縁層によって完全に包囲されていることを特徴とする請求項2に記載の両面回路基板。

【請求項4】前記貫通電極は断面略円形状であることを特徴とする請求項3に記載の両面回路基板。

【請求項5】前記導電層は両端部に不純物拡散領域を有するp型シリコンからなり、前記絶縁層は酸化シリコンからなることを特徴とする請求項4に記載の両面回路基板。

【請求項6】請求項1乃至5のいずれか1項に記載の両面回路基板を製造する方法であって、単結晶シリコン基板の表裏両側にエピタキシャル成長層を形成する工程と、前記エピタキシャル成長層において後に貫通電極の導体層及び絶縁層となるべき部分に拡散層を形成する工程と、前記拡散層のうち後に絶縁層となるべき部分のみを選択的に多孔質化することにより、表裏両側を貫通する多孔質シリコン層を形成する工程と、熱酸化により前記多孔質シリコン層を酸化する工程とを含む両面回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、両面回路基板に関するものである。

【0002】

【従来の技術】従来より、シリコン単結晶のウェハから半導体回路基板を製造する技術が知られている。この種の技術では、切り出されたウェハの片側面に、例えばバイポーラウェハプロセス等によってトランジスタなどの能動素子が形成される。そして、これらのトランジスタ等により、ICデバイスが構築されるようになっていく。また、最近ではこの種のデバイスの高集積化が強く要求されている。

【0003】

【発明が解決しようとする課題】ところで、従来技術において同一チップサイズでの高集積化を達成するためには、回路のパターンルールをファインなものに変更する必要がある。しかしながら、このようなパターンルールの変更は製造工程を複雑化するばかりでなく、低コスト化及び高性能化を妨げる。

【0004】同一チップサイズでの高集積化を達成する別の手法としては、多層化による能動素子の形成がある。しかし、この方法であると高コスト化が避けられない。本発明は上記の課題に鑑みてなされたものであり、その主たる目的は、低コスト化及び高性能化を妨げることなく集積度の高い両面回路基板を提供することにある。

【0005】また、本発明の別の目的は、上記の優れた両面回路基板の製造に適した製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記の課題を解決するために、請求項1に記載の発明では、単結晶シリコン基板の表裏両側に形成された能動素子同士を貫通電極により電気的に接続したことを特徴とする両面回路基板をその要旨とする。

【0007】請求項2に記載の発明は、請求項1において、前記貫通電極は、前記単結晶シリコン基板の所定領域において基板厚さ方向に沿って形成された導電層と、その導電層を周囲の導電性領域からアイソレートする絶縁層とからなることとした。

【0008】請求項3に記載の発明は、請求項2において、前記導電層は前記絶縁層によって完全に包囲されていることとした。請求項4に記載の発明は、請求項3において、前記貫通電極は断面略円形状であることとした。

【0009】請求項5に記載の発明は、請求項4において、前記導電層は両端部に不純物拡散領域を有するp型シリコンからなり、前記絶縁層は酸化シリコンからなることとした。

【0010】請求項6に記載の発明は、請求項1乃至5のいずれか1項に記載の両面回路基板を製造する方法であって、単結晶シリコン基板の表裏両側にエピタキシャル成長層を形成する工程と、前記エピタキシャル成長層において後に貫通電極の導体層及び絶縁層となるべき部分に拡散層を形成する工程と、前記拡散層のうち後に絶縁層となるべき部分のみを選択的に多孔質化することにより、表裏両側を貫通する多孔質シリコン層を形成する工程と、熱酸化により前記多孔質シリコン層を酸化する工程とを含む両面回路基板の製造方法をその要旨とする。

【0011】以下、本発明の「作用」を説明する。請求項1～5に記載の発明によると、シリコン基板の表裏両側に形成された能動素子同士を貫通電極により電気的に接続することによって、表裏両側のエリアを有効に利用して回路を構築することができる。このため、同一チップサイズであっても、回路のパターンルールの変更や多層化を伴うことなく高集積化を達成することができる。また、製造工程の複雑化が回避される結果、低コスト化及び高性能化を妨げることもなくなる。

【0012】請求項2に記載の発明によると、絶縁層に

よって導電層が周囲の導電性領域からアイソレートされているため、表裏両側を介した通電が可能となる。請求項3に記載の発明によると、導電層が絶縁層によって完全に包囲されていると、導電層のアイソレートがより確実なものとなり、ひいては回路の信頼性の向上にもつながる。

【0013】請求項4に記載の発明によると、断面円形状の貫通電極であると、構造的にみて各部位に応力が集中しにくくなるため、回路の信頼性の向上にもつながる。請求項6に記載の発明によると、まず、単結晶シリコン基板の表裏両側にエピタキシャル成長層が形成される。次の工程では、エピタキシャル成長層に拡散層が形成される。この拡散層は、後に貫通電極の導体層及び絶縁層となる。そのうち、後に絶縁層となるべき部分のみについて選択的に多孔質化する。すると、表裏両側を貫通する多孔質シリコン層が形成される。この多孔質されたシリコン部分は、多孔質化されていない他の部分に比較して酸化レートが大きい。よって、次の工程において熱酸化を行うと、多孔質シリコン層のみが選択的に改質され、そこに酸化シリコンからなる絶縁層が形成される。その結果、導体層とそれを周囲の導電性領域からアイソレートする絶縁層とからなる貫通電極を簡単にかつ確実に得ることができる。

【0014】

【発明の実施の形態】以下、本発明を両面IC回路基板1に具体化した一実施の形態を図1～図7に基づき詳細に説明する。

【0015】図1に示されるように、この両面IC回路基板1は、単結晶シリコン基板2を主要な構成要素とする。ここでは、第1の導電型であるp型のシリコン単結晶からなるシリコン基板2が使用されている。p型単結晶シリコン基板2の表面側（図1の上面側）及び裏面側（図1の下面側）には、ともにエピタキシャル成長層3が積層形成されている。これらのエピタキシャル成長層3は、第2の導電型であるn型のシリコンからなる。また、エピタキシャル成長層3の表層には、酸化シリコン層4、配線パターン層5、パッシベーション層6、バンパ7が形成されている。表面側のエピタキシャル成長層3内には、能動素子としての第1のトランジスタTR1が形成されている。裏面側のエピタキシャル成長層3には、同様に能動素子としての第2のトランジスタTR2が形成されている。本実施形態において、前記両トランジスタTR1、TR2はnpn型である。両トランジスタTR1、TR2は、貫通電極8を介して電氣的に接続されている。その結果、図7に示すような回路が両面IC回路基板1に構築されている。前記貫通電極8は、導電層11と絶縁層12とによって構成されている。導電層11は、p型単結晶シリコン基板2の所定領域において、基板厚さ方向に沿って形成されている。絶縁層12は、導電層11を完全に包囲することにより導電層11

を周囲の導電性領域からアイソレートしている。本実施形態の貫通電極8は、断面略円形状である。また、前記絶縁層12は酸化シリコンからなる。一方、前記導電層11は、両端部にp型の不純物拡散領域を有するp型シリコンからなる。より具体的にいうと導電層11は、シリコン基板2内に形成された円柱状のp型シリコンの導電領域13と、エピタキシャル成長層3内に形成されたp⁺型のシリコン拡散層21とからなる。

【0016】次に、この両面IC回路基板1を製造する手順を図2～図6に基づいて詳細に説明する。基本的に、この両面IC回路基板1は、通常のパイポーラウェハプロセスを経て製造することができる。まず、直方体状をした面方位（110）または（100）のp型単結晶シリコン基板2をウェハの状態 で用意する。そして、図2に示されるように、シリコン基板2の表裏両側に、気相成長によってn型単結晶シリコンのエピタキシャル成長層3を積層する。

【0017】次に、フォトリソグラフィによって、エピタキシャル成長層3の上面に図示しない所定のマスクを形成する。このマスクは所定箇所に開口部を有する。前記開口部は、後に貫通電極8の導体層11及び絶縁層12となるべき部分に対応して形成される。絶縁層12に対応する開口部はドーナツ形状をしている。導体層11に対応する開口部は円形状をしており、前記ドーナツ状開口部の中心に存在している。

【0018】この状態でほう素のような不純物の打ち込み・熱拡散を行う。これによって、図3に示されるように、マスクから露出している領域にp⁺型シリコン拡散層21、22をそれぞれ形成する。前記p⁺型シリコン拡散層21、22は、ともにシリコン基板2がある深さまで到達する。このとき、円形状のp型シリコン拡散層21は、ドーナツ状のp⁺型シリコン拡散層22によって完全に包囲される。以上の工程は、通常のパイポーラICのアイソレーション拡散が必要となすときには同時に行われてもよい。

【0019】次いで、前記マスクをいったん除去するとともに、シリコン基板2の表裏両側に新たに別のマスク23を形成する。このマスク23は、ドーナツ状のp⁺型シリコン拡散層22に対応する箇所に開口部24を有している。従って、円形状のp⁺型シリコン拡散層21は同マスク23下にあり、それによって保護されている。

【0020】このようなマスク23を設けたシリコン基板2をふつ酸水溶液中に浸漬し、かつシリコン基板2を陽極側として電流を流す。このとき、シリコン基板2の裏面側の一方向を陽極側とすることにより、表面側から裏面側に向かって、前記のような陽極化成処理によりp⁺型シリコン拡散層22の部分のみを選択的に多孔質化する。これにより、図4に示されるように、当該部分を多孔質シリコン層25に変化させる。なお、前記ドーナツ

ツ状の p^+ 型シリコン拡散層22は、表面側及び裏面側において各々対応する箇所設けられている。従って、陽極化成を行うと、表裏両側にある多孔質シリコン層25がシリコン基板2内においてつながり一体化する。

【0021】本実施形態では、前記陽極化成のときの好適な条件として、ふっ酸水溶液の温度を $20^{\circ}\text{C}\sim 30^{\circ}\text{C}$ に、処理時間を10分～20分に、通電量を $20\text{mA}/\text{cm}^2\sim 50\text{mA}/\text{cm}^2$ に設定している。かかる範囲を逸脱すると、処理効率が悪化するおそれがある。そして、上記の陽極化成の後、不要となったマスク23を剥離する。

【0022】次に、シリコン基板2を高温の酸化雰囲気中に晒すことによって、図5、図6に示されるように、多孔質シリコン層25を全体的に酸化シリコンに変化させる。多孔質化されたシリコン部分は、多孔質化されていない他の部分に比較して酸化レートが大きい。よって、多孔質シリコン層25のみが選択的に改質される。また、このような熱酸化処理を行うと、シリコン基板2の外表面に薄い酸化シリコン層4も形成される。そして、以上の結果、表裏両側を貫通する貫通電極8が形成される。

【0023】本実施形態では、熱酸化工程における好適な条件として、処理温度を $1000^{\circ}\text{C}\sim 1050^{\circ}\text{C}$ に、処理時間を30分～40分に設定している。これ以降の工程では、一般的なパイロラプロセスに従ってトランジスタTR1、TR2等を形成する。まず、酸化シリコン層4の所定箇所に開口部を形成したうえで、 p 型不純物を打込み・拡散させる。その結果、後にトランジスタTR1、TR2のベースとなる p 型シリコン拡散層15を、エピタキシャル成長層3内に形成する。次に、酸化シリコン層4の別の箇所に開口部を形成したうえで、 n 型不純物を打込み・拡散させる。その結果、後にトランジスタTR1、TR2のエミッタとなる n^+ 型シリコン拡散層16を、前記 p 型シリコン拡散層15内に形成する。また、後にトランジスタTR1、TR2のコレクタとなる n^+ 型シリコン拡散層17を、エピタキシャル成長層3において前記 p 型シリコン拡散層15内の脇に形成する。

【0024】この後、シリコン基板2の熱酸化によって、再度全面に酸化シリコン層4を形成し、さらにフォトリソエッチングによってその酸化シリコン層4の所定部分にコンタクトホール18を形成する。このとき各コンタクトホール18は、エミッタ、コレクタ及びベース、並びに貫通電極8の p^+ 型シリコン拡散層21に対応する箇所にそれぞれ形成される必要がある。この後、スパッタリング等の従来公知の技術を用いて、配線パターン層5、パッシベーション層6、パンプ7を形成する。図1の両面IC回路基板1は、以上のようなプロセスを経て作製される。

【0025】さて、次に本実施形態における特徴的な作

用効果を列挙する。

(イ) 本実施形態の両面IC回路基板1は、 p 型の単結晶シリコン基板2の表裏両側に能動素子としての $n p n$ トランジスタTR1、TR2を1個ずつ形成し、それら同士を貫通電極8により電気的に接続した構成となっている。従って、シリコン基板2の表裏両側のエリア、即ち従来の約2倍のエリアを有効に利用することにより、IC回路を構築することができる。このため、同一チップサイズであっても、回路のパターンルールの変更や多層化を伴うことなく、集積度の高い優れたICデバイスを構築することができる。また、製造工程の複雑化が回避される結果、低コスト化及び高性能化を妨げることもなくなる。

【0026】(ロ) 本実施形態の両面IC回路基板1では、絶縁層12によって導電層11が周囲の導電性領域からアイソレートされている。よって、シリコン基板2の表裏両側を介した通電が可能となる。また、円柱状の導電層11は円筒状の絶縁層12によって完全に包囲されているため、導電層11のアイソレートはより確実なものとなっている。従って、構築される回路の信頼性も確実に向上する。

【0027】(ハ) また、本実施形態の両面IC回路基板1では、貫通電極8が断面円形状になっている。ゆえに、ヒートサイクル等に遭遇したとき等においても、構造的にみて各部位に応力が集中しにくいという特徴がある。このため、熱応力によるクラック等も生じにくくなり、その意味において回路の信頼性が向上する。

【0028】(ニ) 本実施形態の製造方法では、あらかじめ形成した多孔質シリコン層25を酸化レートの相違を利用して選択的に改質することにより、酸化シリコンからなる絶縁層12を形成している。その結果、導電層11を周囲の導電性領域から簡単にかつ確実にアイソレートすることができ、ひいては貫通電極8を簡単にかつ確実に得ることができる。また、前記多孔質シリコン層25の選択的改質は、シリコン基板2の外表面に薄い酸化シリコン層4を形成するための通常の熱酸化処理を実施する際、同時に実施されることが可能である。従って、選択的改質を実施をしたとしても製造工程が複雑になることはなく、低コスト化及び高性能化を達成することができる。

【0029】以上のことから、この製造方法は両面IC回路基板1の製造に極めて適したものであると言えることができる。なお、本発明は上記の実施形態のみに限定されることはなく、例えば次のように形態に変更することが可能である。

【0030】◎ 図8(a)、図8(b)に示される別例のような構成の貫通電極31であってもよい。この貫通電極31は、シリコン基板2の端面に配置されている。導電層11を構成する p^+ 型シリコン拡散層21及び導電性領域13は、絶縁層12によって、周囲にある

導電性領域からアイソレートされている。しかし、導電層 11 は、前記実施形態のときとは異なり、絶縁層 12 によって完全に包囲されているわけではない。従って、シリコン基板 2 の端面から導電性領域 13 が露出している点が相違している。

【0031】◎ トランジスタ TR1, TR2 の数は片面側に 1 個ずつ (合計 2 個) に限定されることはなく、片面側に複数 (2, 3, 4, 5, 6, 7, 8, 9, 10...) 個ずつであっても勿論よい。また、両側のトランジスタ TR1, TR2 の数は、同じ数でなくてもよい。

【0032】◎ トランジスタ TR1, TR2 以外の能動素子として、例えばダイオード等を形成してもよい。なお、上記のような能動素子ばかりでなく、併せて抵抗やコンデンサ等の受動素子を形成しても勿論よい。

【0033】◎ 断面略円形状の貫通電極 8 に代えて、断面楕円形状の貫通電極を形成してもよい。なお、貫通電極 8 はこれらの断面形状には勿論限定されることはなく、例えば、断面三角形形状、断面四角形状、断面五角形状、断面六角形状等のような断面多角形状であってもよい。もっとも、角のないラウンド状の断面を有するものの方がより好ましい。

【0034】◎ 酸化シリコンからなる絶縁層 12 を採用した実施形態に代えて、例えば窒化シリコンからなる絶縁層を形成してもよい。ただし、実施形態のような酸化シリコンからなる絶縁層 12 は、熱酸化処理で簡単に得られるという点において有利である。

【0035】ここで、特許請求の範囲に記載された技術的思想のほかに、前述した実施形態によって把握される技術的思想をその効果とともに以下に列举する。

(1) 請求項 1～6 のいずれか 1 項において、前記単結晶シリコン基板は p 型シリコンであり、前記エピタキシャル成長層は n 型シリコンであること。このようにすると製造がより簡単になる。

【0036】(2) 請求項 1～6 のいずれか 1 項において、前記能動素子はトランジスタであること。このようにすると、限られたシリコン基板上に高集積度の IC デバイスを構築することができる。

【0037】(3) 請求項 6 において、前記多孔質化シリコン層は陽極化成により形成されることを特徴とする両面回路基板の製造方法。この方法によると、酸化シリコンからなる絶縁層を、多孔質シリコン層を経て極めて簡単に貫通形成することができる。

【0038】(4) 単結晶シリコン基板の所定領域において基板厚さ方向に沿って形成された導電層と、その導電層を周囲の導電性領域からアイソレートする絶縁層とからなることを特徴とする両面回路基板用の貫通電極。このような構成であると、シリコン基板の表裏両側を電気的に接続可能となるため、表裏両側の能動素子からなる IC デバイスを構築することができ、高性能化及び高集積化を達成することができる。

【0039】(5) 請求項 1 乃至 5 のいずれか 1 項に記載の両面 IC 回路基板を製造する方法であって、p 型単結晶シリコン基板の表裏両側に n 型シリコンからなるエピタキシャル成長層を形成する工程と、前記エピタキシャル成長層において後に貫通電極の導体層及び絶縁層となるべき部分に、p 型シリコンの打込み・拡散により拡散層を形成する工程と、前記拡散層のうち後に絶縁層となるべき部分のみを露出させる開口部を有するマスクを形成する工程と、後に絶縁層となるべき部分のみを陽極化成処理により選択的に多孔質化することにより、表裏両側を貫通する多孔質シリコン層を形成する工程と、熱酸化により前記多孔質シリコン層を酸化する工程と、パイポーラウェハプロセスによって表裏両側にトランジスタを形成する工程とを含む両面 IC 回路基板の製造方法。

【0040】なお、本明細書中において使用した技術用語を次のように定義する。

「陽極化成： 電解液中で基板を陽極として電流を流すことにより、その基板に多孔質層を形成する一括改質加工をいう。」

【0041】

【発明の効果】以上詳述したように、請求項 1～5 に記載の発明によれば、低コスト化及び高性能化を妨げることなく集積度の高い両面回路基板を提供することができる。

【0042】特に請求項 3 に記載の発明によれば、アイソレートがより確実になることで、回路の信頼性が向上する。請求項 4 に記載の発明によれば、貫通電極に応力が集中しにくくなることで、回路の信頼性が向上する。

【0043】請求項 6 に記載の発明によれば、上記の優れた両面回路基板の製造に適した製造方法を提供することができる。

【図面の簡単な説明】

【図 1】本発明を具体化した一実施形態の両面 IC 回路基板を示す断面図。

【図 2】同両面 IC 回路基板の製造方法を説明するための断面図。

【図 3】同両面 IC 回路基板の製造方法を説明するための断面図。

【図 4】同両面 IC 回路基板の製造方法を説明するための断面図。

【図 5】同両面 IC 回路基板の製造方法を説明するための断面図。

【図 6】図 5 の A-A 線における断面図。

【図 7】同両面 IC 回路基板の等価回路図。

【図 8】(a) は別例の両面 IC 回路基板の製造方法における部分断面図、(b) は (a) の B-B 線における断面図。

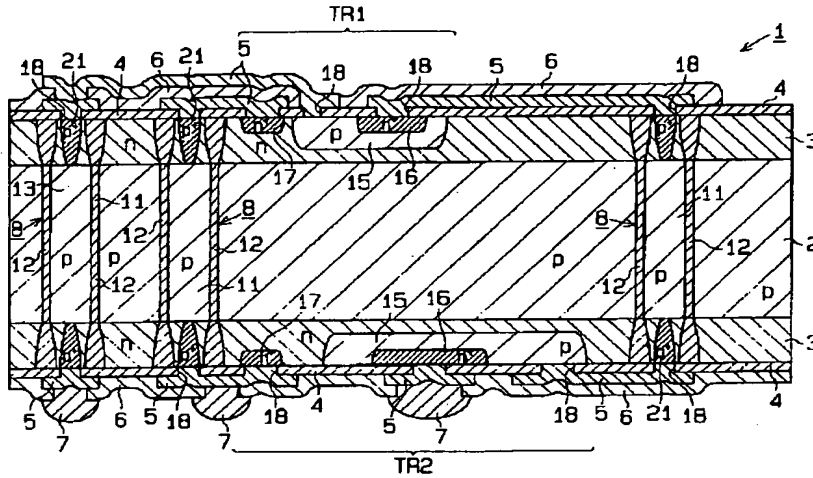
【符号の説明】

50 1…両面回路基板としての両面 IC 回路基板、2…単結

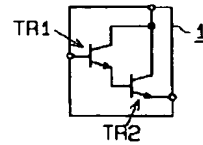
晶シリコン基板、3…エピタキシャル成長層、8、31…貫通電極、11…導電層、12…絶縁層、21…不純物拡散領域としての p^+ 型シリコン拡散層、22…拡散

層、25…多孔質シリコン層、TR1、TR2…能動素子としてのトランジスタ。

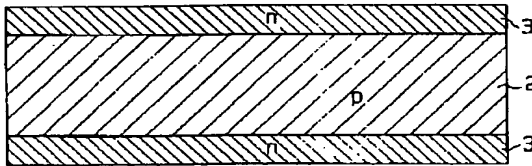
【図1】



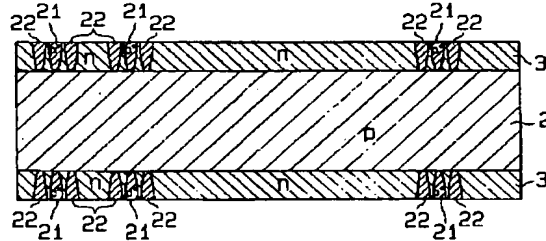
【図7】



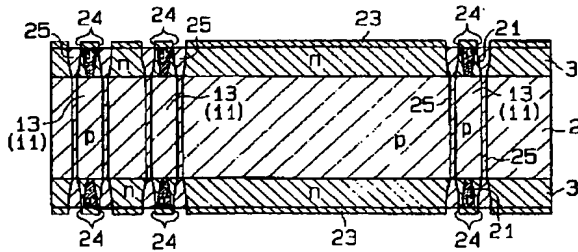
【図2】



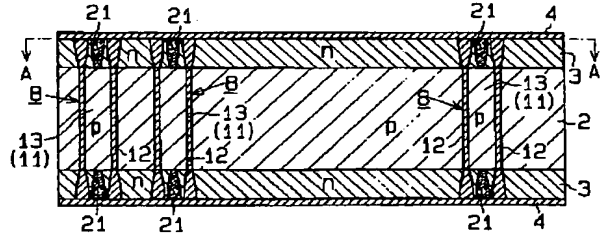
【図3】



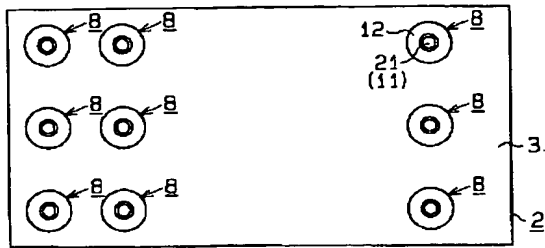
【図4】



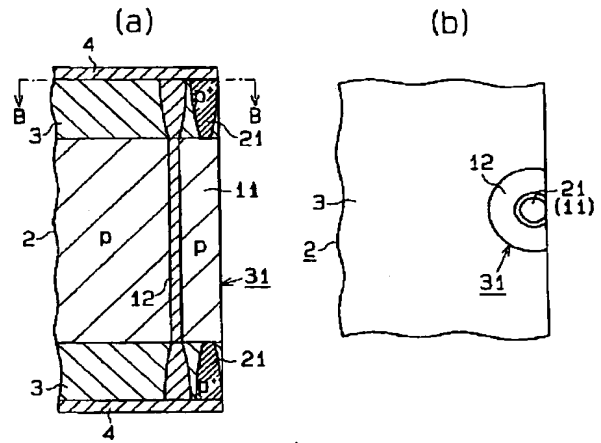
【図5】



【図6】



【図8】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229162

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

H01L 27/00

(21)Application number : 09-030234

(71)Applicant : TOKAI RIKI CO LTD

(22)Date of filing : 14.02.1997

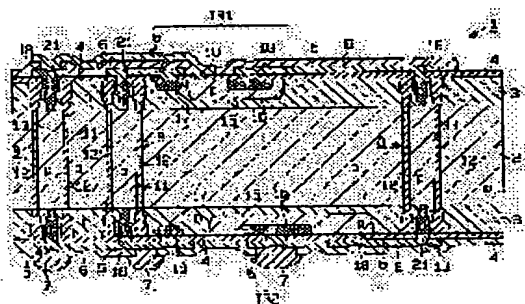
(72)Inventor : IWATA HITOSHI

(54) BOTH SIDES CIRCUIT BOARD AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a both sides circuit board which is high in integration, without hindering cost reduction and progress for high performance.

SOLUTION: For this both sides circuit board 1, fellow active elements TR1 and TR2 made on both side of obverse and reverse of a single-crystalline silicon board 2 are electrically connected with each other by a through-electrode 8. The through-electrode 8 comprises a conductive layer 11, which is made in a board thickness direction in a predetermined region of the single-crystalline silicon board 2, and an insulating layer 12 which isolates the conductive layer 11 from the surrounding conductive regions.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] The double-sided circuit board characterized by connecting electrically the active elements formed in front reverse side both sides of a single crystal silicon substrate with a penetration electrode.

[Claim 2] Said penetration electrode is the double-sided circuit board according to claim 1 characterized by consisting of a conductive layer formed along the substrate thickness direction in a predetermined field of said single crystal silicon substrate, and an insulating layer which isolates the conductive layer from a surrounding conductive field.

[Claim 3] Said conductive layer is the double-sided circuit board according to claim 2 characterized by being completely surrounded by said insulating layer.

[Claim 4] Said penetration electrode is the double-sided circuit board according to claim 3 characterized by being a cross-section approximate circle configuration.

[Claim 5] It is the double-sided circuit board according to claim 4 characterized by for said conductive layer consisting of p-type silicon which has an impurity diffusion field to both ends, and said insulating layer consisting of silicon oxide.

[Claim 6] How to manufacture the double-sided circuit board of a publication in claim 1 thru/or any 1 term of 5 characterized by providing the following A production process which forms an epitaxial growth phase in front reverse side both sides of a single crystal silicon substrate A production process which forms a diffusion layer in a portion which should serve as a conductor layer of a penetration electrode, and an insulating layer in said epitaxial growth phase behind A production process which forms in behind a porosity silicon layer which penetrates front reverse side both sides by porosity-izing alternatively only a portion which should serve as an insulating layer among said diffusion layers A production process which oxidizes said porosity silicon layer by thermal oxidation

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the double-sided circuit board.

[0002]

[Description of the Prior Art] Conventionally, the technology of manufacturing the semiconductor circuit board from the wafer of a silicon single crystal is known. With this kind of technology, active elements, such as a transistor, are formed in the piece side of the cut-down wafer for example, of a bipolar wafer process etc. And IC device is built with these transistors etc. Moreover, recently requires high integration of this kind of device strongly.

[0003]

[Problem(s) to be Solved by the Invention] By the way, in order to attain high integration with the same chip size in the conventional technology, it is necessary to change the pattern rule of a circuit into a FAIN thing. However, modification of such a pattern rule not only complicates a manufacturing process, but bars low-cost-izing and high performance-ization.

[0004] There is formation of the active element by multilayering as the another technique of attaining high integration with the same chip size. However, high cost-ization is not avoided as it is this method. This invention is made in view of the above-mentioned technical problem, and the main purpose is in offering the double-sided circuit board with a high degree of

integration, without barring low-cost-izing and high performance-ization.

[0005] Moreover, another purpose of this invention is to offer the manufacture method suitable for manufacture of the double-sided circuit board which was excellent in the above.

[0006]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, let the double-sided circuit board characterized by connecting electrically the active elements formed in front reverse side both sides of a single crystal silicon substrate with a penetration electrode be the summary in invention according to claim 1.

[0007] Invention according to claim 2 presupposed that said penetration electrode consists of a conductive layer formed along the substrate thickness direction in a predetermined field of said single crystal silicon substrate, and an insulating layer which isolates the conductive layer from a surrounding conductive field in claim 1.

[0008] In claim 2, said conductive layer presupposed that invention according to claim 3 is completely surrounded by said insulating layer. In claim 3, said penetration electrode presupposed that it is invention according to claim 4 a cross-section approximate circle configuration.

[0009] Invention according to claim 5 consisted of p-type silicon with which said conductive layer has an impurity diffusion field to both ends in claim 4, and said insulating layer presupposed that it consists of silicon oxide.

[0010] A production process which invention according to claim 6 is the method of manufacturing the double-sided circuit board of a publication in claim 1 thru/or any 1 term of 5, and forms an epitaxial growth phase in front reverse side both sides of a single crystal silicon substrate. By porosity-izing alternatively only a production process which forms a diffusion layer in a portion which should serve as a conductor layer of a penetration electrode, and an insulating layer in said epitaxial growth phase behind, and a portion which should serve as an insulating layer among said diffusion layers behind Let a manufacture method of the double-sided circuit board including a production process which forms a porosity silicon layer which penetrates front reverse side both sides, and a production process which oxidizes said porosity silicon layer by thermal oxidation be the summary.

[0011] Hereafter, "an operation" of this invention is explained. According to invention according to claim 1 to 5, a circuit can be built by connecting electrically the active elements formed in front reverse side both sides of a silicon substrate with a penetration electrode, using area of front reverse side both sides effectively. For this reason, even if it is the same chip size, high integration can be attained, without being accompanied by modification and multilayering of a pattern rule of a circuit. Moreover, as a result of avoiding complication of a manufacturing process, it becomes, without barring low-cost-izing and high performance-ization.

[0012] According to invention according to claim 2, since a conductive layer is isolated from a surrounding conductive field by insulating layer, energization through front reverse side both sides is attained. If a conductive layer is completely surrounded by insulating layer according to invention according to claim 3, it will become what has more certain isolation of a conductive layer, as a result will lead also to improvement in circuit reliability.

[0013] Since according to invention according to claim 4 it concludes structurally that it is the penetration electrode of a cross-section circle configuration and is hard coming to concentrate stress at least on each part, it leads also to improvement in circuit reliability. According to invention according to claim 6, an epitaxial growth phase is first formed in front reverse side both sides of a single crystal silicon substrate. A diffusion layer is formed in an epitaxial growth phase at the following production process. This diffusion layer turns into a conductor layer of a penetration electrode, and an insulating layer behind. Among those, it porosity-izes alternatively behind only about a portion which should serve as an insulating layer. Then, a porosity silicon layer which penetrates front reverse side both sides is formed. This silicon portion by which porosity was carried out has a large oxidation rate as compared with other portions which are not porosity-ized. Therefore, if it oxidizes thermally in the following production process, reforming only of the porosity silicon layer will be carried out

alternatively, and an insulating layer which consists of silicon oxide there will be formed. Consequently, a penetration electrode which consists of a conductor layer and an insulating layer which isolates it from a surrounding conductive field can be obtained simply and certainly.

[0014]

[Embodiment of the Invention] Hereafter, the gestalt of the 1 operation which materialized this invention to the double-sided IC circuit board 1 is explained to details based on drawing 1 - drawing 7.

[0015] As shown in drawing 1, this double-sided IC circuit board 1 uses the single crystal silicon substrate 2 as main components. Here, the silicon substrate 2 which consists of a silicon single crystal of p mold which is the 1st conductivity type is used. Laminating formation of the epitaxial growth phase 3 is carried out at both surface [of p mold single crystal silicon substrate 2], and rear-face sides (upper surface side of drawing 1) (inferior-surface-of-tongue side of drawing 1). These epitaxial growth phases 3 consist of silicon of n mold which is the 2nd conductivity type. Moreover, the silicon oxide layer 4, the circuit pattern layer 5, the passivation layer 6, and the bump 7 are formed in the surface of the epitaxial growth phase 3. In the epitaxial growth phase 3 by the side of the surface, it is the 1st transistor TR1 as an active element. It is formed. In the epitaxial growth phase 3 by the side of a rear face, it is the 2nd transistor TR2 as an active element similarly. It is formed. It sets in this operation gestalt and they are said both transistors TR1 and TR2. It is a npn mold. Both the transistors TR1 and TR2 It connects electrically through the penetration electrode 8. Consequently, the circuit as shown in drawing 7 is built by the double-sided IC circuit board 1. Said penetration electrode 8 is constituted by the conductive layer 11 and the insulating layer 12. The conductive layer 11 is formed along the substrate thickness direction in the predetermined field of p mold single crystal silicon substrate 2. The insulating layer 12 has isolated the conductive layer 11 from the surrounding conductive field by surrounding a conductive layer 11 completely. The penetration electrode 8 of this operation gestalt is a cross-section approximate circle configuration. Moreover, said insulating layer 12 consists of silicon oxide. On the other hand, said conductive layer 11 consists of p-type silicon which has the impurity diffusion field of p mold to both ends. It is p+ formed the electric conduction field 13 of the cylinder-like p-type silicon with which the conductive layer 11 was formed in the silicon substrate 2, and in the epitaxial growth phase 3 when said more concretely. It consists of a silicon diffusion layer 21 of a mold.

[0016] Next, the procedure of manufacturing this double-sided IC circuit board 1 is explained to details based on drawing 2 - drawing 6. Fundamentally, this double-sided IC circuit board 1 can be manufactured through the usual bipolar wafer process. First, p mold single crystal silicon substrate 2 is prepared in the state of a wafer in about (110) the method (100) of the field which carried out the shape of a rectangular parallelepiped. And as shown in drawing 2, the laminating of the epitaxial growth phase 3 of n mold single crystal silicon is carried out to the front reverse side both sides of a silicon substrate 2 with vapor growth.

[0017] Next, the predetermined mask which is not illustrated on the upper surface of the epitaxial growth phase 3 is formed by the photolithography. This mask has opening in a predetermined part. Said opening is formed in behind corresponding to the portion which should serve as the conductor layer 11 of the penetration electrode 8, and an insulating layer 12. Opening corresponding to an insulating layer 12 is carrying out the shape of an anchor ring. Opening corresponding to a conductor layer 11 is carrying out the circle configuration, and exists in the center of said doughnut-like opening.

[0018] Placing and thermal diffusion of an impurity like boron are performed in this condition. It is p+ to the field exposed from the mask as drawing 3 is indicated "Come". The mold silicon diffusion layers 21 and 22 are formed, respectively. Said p+ Both the mold silicon diffusion layers 21 and 22 reach by Fukashi with a silicon substrate 2. At this time, the p-type silicon diffusion layer 21 of a circle configuration is doughnut-like p+. It is completely surrounded by the mold silicon diffusion layer 22. The above production process may be performed to coincidence, when the isolation diffusion of the usual bipolar IC is required.

[0019] Subsequently, while once removing said mask, another mask 23 is newly formed in the front reverse side both sides of a silicon substrate 2. This mask 23 is doughnut-like p+. It has opening 24 in the part corresponding to the mold silicon diffusion layer 22. Therefore, p+ of a circle configuration The mold silicon diffusion layer 21 is under this mask 23, and is protected by it.

[0020] The silicon substrate 2 which formed such a mask 23 is immersed into a fluoric acid aqueous solution, and current is passed by making a silicon substrate 2 into an anode plate side. At this time, by making the one direction by the side of the rear face of a silicon substrate 2 into an anode plate side, it goes to a rear-face side from a surface side, and is p+ by the above anode plate chemical conversion. Only the portion of the mold silicon diffusion layer 22 is porosity-ized alternatively. Thereby, as shown in drawing 4, the portion concerned is changed to the porosity silicon layer 25. In addition, p+ of the shape of said doughnut The mold silicon diffusion layer 22 is formed in the part which corresponds to a surface and rear-face side respectively. Therefore, if anodization is performed, the porosity silicon layer 25 in front reverse side both sides will connect and unify in a silicon substrate 2.

[0021] At this operation gestalt, it is the amount of energization about the processing time to 20 degrees C - 30 degrees C in the temperature of a fluoric acid aqueous solution as suitable conditions at the time of said anodization in 10 minutes - 20 minutes 20 mA/cm² - 50 mA/cm² It has set up. When it deviates from this range, there is a possibility that processing effectiveness may get worse. And the mask 23 which became unnecessary is exfoliated after the above-mentioned anodization.

[0022] Next, by exposing a silicon substrate 2 into a hot oxidizing atmosphere, as shown in drawing 5 and drawing 6, on the whole, the porosity silicon layer 25 is changed to silicon oxide. The porosity-ized silicon portion has a large oxidation rate as compared with other portions which are not porosity-ized. Therefore, reforming only of the porosity silicon layer 25 is carried out alternatively. Moreover, if such thermal oxidation processing is performed, the thin silicon oxide layer 4 will also be formed in the outside surface of a silicon substrate 2. And the penetration electrode 8 which penetrates front reverse side both sides is formed the above result.

[0023] With this operation gestalt, as suitable conditions in a thermal oxidation production process, processing temperature is set up as 1000 degrees C - 1050 degrees C, and the processing time is set up in 30 minutes - 40 minutes. the general bipolar process at the production process after this -- following -- a transistor TR1 and TR2 etc. -- it forms. First, after forming opening in the predetermined part of the silicon oxide layer 4, p mold impurity is driven in and diffused. Consequently, they are a transistor TR1 and TR2 behind. The p-type silicon diffusion layer 15 used as the base is formed in the epitaxial growth phase 3. Next, after forming opening in another part of the silicon oxide layer 4, n mold impurity is driven in and diffused. Consequently, n+ which becomes a transistor TR1 and the emitter of TR2 behind The mold silicon diffusion layer 16 is formed in said p-type silicon diffusion layer 15. Moreover, they are a transistor TR1 and TR2 behind. n+ used as a collector The mold silicon diffusion layer 17 is formed in the side within said p-type silicon diffusion layer 15 in the epitaxial growth phase 3.

[0024] Then, the silicon oxide layer 4 is again formed in the whole surface by thermal oxidation of a silicon substrate 2, and a contact hole 18 is further formed in the predetermined portion of that silicon oxide layer 4 by photo etching. At this time, each contact hole 18 is p+ of the penetration electrode 8 to an emitter, a collector and the base, and a list. It needs to be formed in the part corresponding to the mold silicon diffusion layer 21, respectively. Then, the circuit pattern layer 5, the passivation layer 6, and a bump 7 are formed using the technology in which sputtering etc. is conventionally well-known. The double-sided IC circuit board 1 of drawing 1 is produced through the above processes.

[0025] Now, the characteristic operation effects in this operation gestalt are enumerated next.
(b) The double-sided IC circuit board 1 of this operation gestalt is the npn transistor TR1 as an active element, and TR2 to the front reverse side both sides of the single crystal silicon substrate 2 of p mold. It forms one piece at a time, and has the composition of having

connected these comrades electrically with the penetration electrode 8. Therefore, IC circuit can be built by using effectively the area of the front reverse side both sides of a silicon substrate 2, i.e., twice [over the past / about] as many area as this. For this reason, outstanding IC device with a high degree of integration can be built, without being accompanied by modification and multilayering of the pattern rule of a circuit, even if it is the same chip size. Moreover, as a result of avoiding complication of a manufacturing process, it becomes, without barring low-cost-izing and high performance-ization.

[0026] (b) In the double-sided IC circuit board 1 of this operation gestalt, the conductive layer 11 is isolated from the surrounding conductive field by the insulating layer 12. Therefore, energization through the front reverse side both sides of a silicon substrate 2 is attained. Moreover, since the cylinder-like conductive layer 11 is completely surrounded by the cylinder-like insulating layer 12, isolation of a conductive layer 11 is a more positive thing. Therefore, the circuit reliability built also improves certainly.

[0027] (c) Moreover, in the double-sided IC circuit board 1 of this operation gestalt, the penetration electrode 8 is a cross-section circle configuration. Therefore, when a thermo cycle etc. is encountered, there is the feature of seeing structurally and being hard to concentrate stress at least on each part. For this reason, it is hard coming to generate the crack by thermal stress etc., and circuit reliability improves in that semantics.

[0028] (d) Form the insulating layer 12 which consists of silicon oxide by the manufacture method of this operation gestalt by reforming alternatively the porosity silicon layer 25 formed beforehand using a difference of an oxidation rate. Consequently, a conductor layer 11 can be isolated from a surrounding conductive field simply and certainly, as a result the penetration electrode 8 can be obtained simply and certainly. Moreover, in case alternative reforming of said porosity silicon layer 25 carries out the usual thermal oxidation processing for forming the thin silicon oxide layer 4 in the outside surface of a silicon substrate 2, it can be carried out by coincidence. Therefore, even if it carries out alternative reforming, a manufacturing process does not become complicated and low-cost-izing and high performance-ization can be attained.

[0029] From the above thing, it can be said that this manufacture method is extremely suitable for manufacture of the double-sided IC circuit board 1. In addition, it is not limited only to the above-mentioned operation gestalt, for example, this invention can be changed into a gestalt as follows.

[0030] O You may be the penetration electrode 31 of a configuration like example of another shown in drawing 8 (a) and drawing 8 (b). This penetration electrode 31 is arranged at the end face of a silicon substrate 2. p+ which constitutes a conductive layer 11 The mold silicon diffusion layer 21 and the conductive field 13 are isolated from the conductive field in the perimeter by the insulating layer 12. However, unlike the time of said operation gestalt, the conductive layer 11 is not necessarily completely surrounded by the insulating layer 12. Therefore, the point which the conductive field 13 has exposed from the end face of a silicon substrate 2 is different.

[0031] O A transistor TR1 and TR2 A number is not limited at a time (a total of two pieces) to an one side side by one piece, and even if it is [every / two or more (2, 3, 4, 5, 6, 7, 8, 9, 10 --) individuals], it is easy to be natural [a number] to an one side side. Moreover, the transistor TR1 of both sides and TR2 A number may not be the same number.

[0032] O A transistor TR1 and TR2 Diode etc. may be formed as an active element of an except. In addition, it is easy to be natural even if it forms passive elements, such as resistance and a capacitor, collectively in addition to the above active elements.

[0033] O It may replace with the penetration electrode 8 of a cross-section approximate circle configuration, and a cross-section elliptical penetration electrode may be formed. In addition, of course, the penetration electrode 8 may not be limited to these cross-section configurations, for example, may have the shape of a cross-section polygon, such as the shape of the shape of the shape of a cross-section triangle, and a cross-section quadrangle, and a cross-section pentagon, and a cross-section hexagon. But the way is more desirable although it has the cross section of the letter of a round without an angle.

[0034] O The insulating layer which replaces with the operation gestalt which adopted the insulating layer 12 which consists of silicon oxide, for example, consists of silicon nitride may be formed. However, the insulating layer 12 which consists of silicon oxide like an operation gestalt is advantageous in the point of being simply obtained by thermal oxidation processing.

[0035] Here, the technical thought grasped according to the operation gestalt mentioned above is enumerated below with the effect besides the technical thought indicated by the claim.

(1) In any 1 term of claims 1-6, said single crystal silicon substrate is p-type silicon, and said epitaxial growth phase should be n mold silicon. Manufacture will become easier if it does in this way.

[0036] (2) In any 1 term of claims 1-6, said active element should be a transistor. If it does in this way, IC device of a high degree of integration can be built on the limited silicon substrate.

[0037] (3) It is the manufacture method of the double-sided circuit board characterized by forming said porosity-ized silicon layer of anodization in claim 6. According to this method, penetration formation of the insulating layer which consists of silicon oxide can be carried out very easily through a porosity silicon layer.

[0038] (4) The penetration electrode for the double-sided circuit boards characterized by consisting of a conductive layer formed along the substrate thickness direction in the predetermined field of a single crystal silicon substrate, and an insulating layer which isolates the conductive layer from a surrounding conductive field. Since it becomes being such a configuration connectable electrically about the front reverse side both sides of a silicon substrate, IC device which consists of an active element of front reverse side both sides can be built, and high-performance-izing and high integration can be attained.

[0039] (5) The production process which forms the epitaxial growth phase which is the method of manufacturing the double-sided IC circuit board of a publication in claim 1 thru/or any 1 term of 5, and becomes the front reverse side both sides of p mold single crystal silicon substrate from n mold silicon, The production process which forms a diffusion layer in the portion which should serve as a conductor layer of a penetration electrode, and an insulating layer in said epitaxial growth phase behind by placing and diffusion of p-type silicon, By porosity-izing alternatively only the production process which forms in behind the mask which has opening to which only the portion which should serve as an insulating layer is exposed among said diffusion layers, and the portion which should serve as an insulating layer behind by anode plate chemical conversion The manufacture method of the double-sided IC circuit board including the production process which forms the porosity silicon layer which penetrates front reverse side both sides, the production process which oxidizes said porosity silicon layer by thermal oxidation, and the production process which forms a transistor in front reverse side both sides according to a bipolar wafer process.

[0040] In addition, the terminology used into this specification is defined as follows.

"Anodization : Say package reforming processing which forms a porous layer in the substrate by passing current by making a substrate into an anode plate in the electrolytic solution."

[0041]

[Effect of the Invention] As explained in full detail above, according to invention according to claim 1 to 5, the double-sided circuit board with a high degree of integration can be offered, without barring low-cost-izing and high performance-ization.

[0042] Especially according to invention according to claim 3, circuit reliability improves because isolation becomes more certain. According to invention according to claim 4, circuit reliability improves by it being hard coming to concentrate stress on a penetration electrode.

[0043] According to invention according to claim 6, the manufacture method suitable for manufacture of the double-sided circuit board which was excellent in the above can be offered.

[Brief Description of the Drawings]

[Drawing 1] The cross section showing the double-sided IC circuit board of 1 operation gestalt which materialized this invention.

[Drawing 2] The cross section for explaining the manufacture method of this double-sided IC circuit board.

[Drawing 3] The cross section for explaining the manufacture method of this double-sided IC circuit board.

[Drawing 4] The cross section for explaining the manufacture method of this double-sided IC circuit board.

[Drawing 5] The cross section for explaining the manufacture method of this double-sided IC circuit board.

[Drawing 6] The cross section in the A-A line of drawing 5.

[Drawing 7] The representative circuit schematic of this double-sided IC circuit board.

[Drawing 8] For (a), (b) is a fragmentary sectional view in the manufacture method of the double-sided IC circuit board of example of another, and a cross section in the B-B line of (a).

[Description of Notations]

1 [-- A penetration electrode, 11 / -- A conductive layer, 12 / -- An insulating layer, 21 / -- p+ as an impurity diffusion field / A mold silicon diffusion layer, 22 / -- Transistor as an active element. / -- A diffusion layer, 25 -- A porosity silicon layer, TR1 and TR2] -- The double-sided IC circuit board as the double-sided circuit board, 2 -- A single crystal silicon substrate, 3 -- 8 An epitaxial growth phase, 31